



ГОСУДАРСТВЕННОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ
СРЕДНЕГО (ПОЛНОГО) ОБЩЕГО ОБРАЗОВАНИЯ

ЛИЦЕЙ ПРИ СПБГУТ

Вендор-ориентированный учебный курс в системе
«Старшая профильно-профессиональная школа-ВУЗ-Работодатель»:
«Проектирование цифровых устройств
на базе ПЛИС фирмы ALTERA»

Нечаев Е.В.

«Исследование защелок, триггеров и регистров»

МЕТОДИЧЕСКИЕ УКАЗАНИЯ
к выполнению лабораторной работы №4
на демонстрационной плате
Altera® DE2 Development and Education board

Санкт - Петербург
2011

Нечаев Е.В. «Исследование защелок, триггеров и регистров». Методические указания к выполнению лабораторной работы №4 на демонстрационной плате Altera® DE2 Development and Education board. СПб: ГОУ «Лицей при СПбГУТ», 2011.

ЛАБОРАТОРНАЯ РАБОТА №4

Исследование защелок, триггеров и регистров

Цель работы

Экспериментальное исследование работы различных типов защелок, триггеров; изучение принципа работы схем триггерных регистров и приобретение практических навыков в выполнении микроопераций на регистрах в статическом режиме.

Краткие теоретические сведения

Защелка (latch) – это последовательностная схема, которая чувствительна к сигналам на ее входах непрерывно в течение всего времени, и значения сигналов на выходах такой схемы могут изменяться в любой момент независимо от тактового сигнала.

Триггер (flip-flop) – это последовательностная схема, в которой значения входных сигналов принимаются во внимание и выходные сигналы изменяются только в моменты времени, задаваемые тактовым сигналом.

Эти устройства предназначены для хранения значения одной логической переменной или значения одноразрядного двоичного числа. При хранении многоразрядных двоичных чисел для запоминания значения каждого разряда числа используется отдельный триггер (защелка).

Функциональное поведение защелок и триггеров совершенно различно.

Наиболее распространенные типы защелок и триггеров:

1. SR-защелка.

На рис. 1 показана SR-защелка (set-reset latch, S-R latch) на вентилях «2ИЛИ-НЕ». У этой схемы два входа S и R и два выхода Q и QN, где сигнал QN в нормальных условиях представляет собой инверсию сигнала Q. Сигнал QN иногда обозначают и так: \bar{Q} или Q_L.

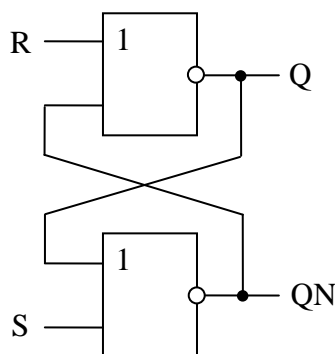


Рис. 1. SR-защелка: принципиальная схема на вентилях «2ИЛИ-НЕ».

Как указано в таблице 1, если оба входных сигнала S и R равны 0, то схема ведет себя аналогично элементу с двумя устойчивыми состояниями: благодаря наличию петли обратной связи сохраняется одно из двух логических состояний – Q = 0 или Q = 1.

Таблица 1 – Таблица, описывающая работу схемы («last» – последнее значение).

S	R	Q	QN	Пояснения
0	0	last Q	last QN	Режим хранения информации
0	1	0	1	Режим установки нуля
1	0	1	0	Режим установки единицы
1	1	0	0	Запрещённая комбинация

Подавая сигналы на входы S и R можно заставить схему с петлей обратной связи переходить в желаемое состояние. Сигнал S устанавливает (set) состояние, при котором выходной сигнал Q равен 1; сигнал R сбрасывает (reset) схему, в результате чего выходной сигнал Q становится равным 0. После того, как входной сигнал S или R переходит на неактивный уровень, защелка остается в том состоянии, в какое ее установил этот сигнал.

На рис. 2 представлено функциональное поведение SR-защелки при воздействии на нее типичной последовательности входных сигналов. Стрелками указана причинно-следственная связь, то есть показано, какие переходы во входных сигналах вызывают те или иные переходы в выходных сигналах.

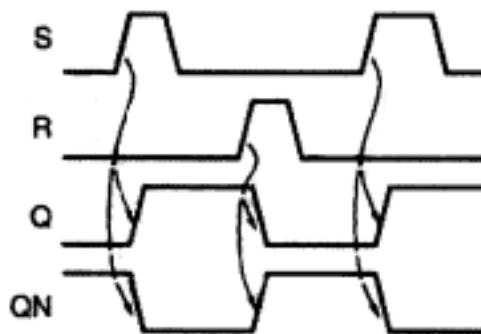


Рис. 2. Типичная работа SR-защелки: «нормальные» входные сигналы.

В большинстве приложений SR-защелок выходной сигнал QN всегда является инверсией выходного сигнала Q . Однако обозначение QN не вполне корректно, поскольку существуют обстоятельства, при которых выходной сигнал не является инверсией сигнала Q . Когда оба входных сигнала S и R равны 1, как это происходит в нескольких местах на рис. 3, оба выходных сигнала вынужденно принимают значение 0. Как только любой из входных сигналов снимается, схема возвращается к работе в обычном режиме, и выходные сигналы становятся инверсными один по отношению к другому. Однако если входные сигналы снимаются одновременно, то состояние, в которое защелка перейдет в следующий момент времени, непредсказуемо, и при этом могут возникнуть колебания, либо схема может войти в метастабильное состояние.

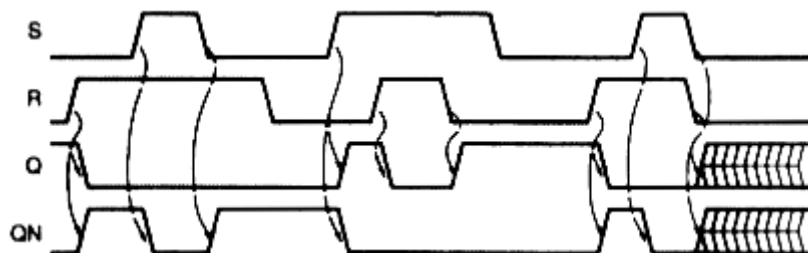


Рис. 3. Сигналы S и R имеют активный уровень одновременно.

Условное графическое обозначение SR-защелки приведено на рис. 4.

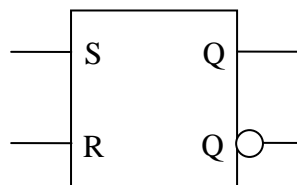


Рис. 4. Условное графическое обозначение SR-защелки.

2. \overline{SR} -защелка.

На рис. 5 представлена \overline{SR} -защелка (\overline{S} - \overline{R} latch; читается: S-bar-R-bar latch) на вентильях «2И-НЕ» с низким активным уровнем сигналов установки и сброса.

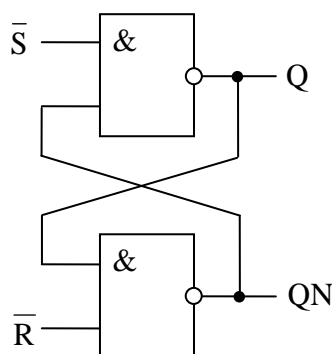


Рис. 5. \overline{SR} -защелка: принципиальная схема на вентильях «2И-НЕ».

Как видно из таблицы 2, описывающей работу схемы, принцип действия \overline{SR} -защелки подобен механизму функционирования SR-защелки, но с двумя важными отличиями. Во-первых, у сигналов \overline{S} и \overline{R} активным является низкий уровень, так что при $\overline{S} = \overline{R} = 1$ защелка помнит свое предыдущее состояние. Во-вторых, при одновременном наличии сигналов неактивного уровня на входах \overline{S} и \overline{R} оба выходных сигнала защелки становятся равными 1, а не 0, как это было в SR-защелке.

Таблица 2 – Таблица, описывающая работу схемы («last» – последнее значение).

\overline{S}	\overline{R}	Q	QN	Пояснения
0	0	1	1	Запрещённая комбинация
0	1	1	0	Режим установки единицы
1	0	0	1	Режим установки нуля
1	1	last Q	last QN	Режим хранения информации

Условное графическое обозначение \overline{SR} -защелки приведено на рис. 6.

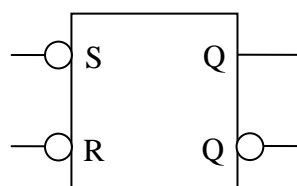


Рис. 6. Условное графическое обозначение \overline{SR} -защелки.

3. SR-защелка с входом разрешения.

SR- и \overline{SR} -защелки чувствительны к входным сигналам S и R в течение всего времени. Однако их легко видоизменить таким образом, чтобы схема была чувствительна к этим входным сигналам только тогда, когда подан сигнал на вход разрешения C. Такая SR-защелка с входом разрешения (S-R latch with enable) показана на рис. 7.

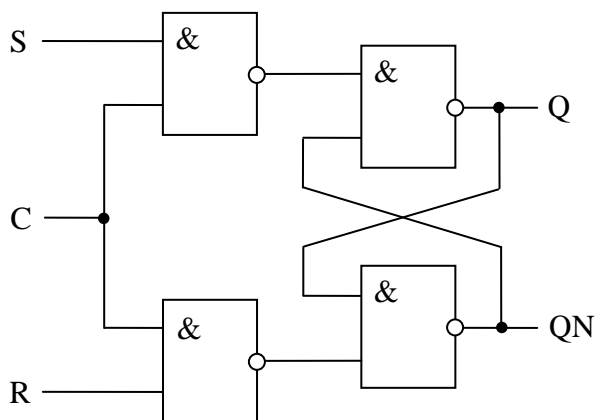


Рис. 7. SR-защелка с входом разрешения: принципиальная схема на вентилях «2И-НЕ».

Как видно из таблицы 3, описывающей работу схемы, при C, равном 1, данная схема ведет себя как SR-защелка, а при C, равном 0, она удерживается в прежнем состоянии.

Таблица 3 – Таблица, описывающая работу схемы («last» – последнее значение).

S	R	C	Q	QN	Пояснения
0	0	1	last Q	last QN	Режим хранения информации
0	1	1	0	1	Режим установки нуля
1	0	1	1	0	Режим установки единицы
1	1	1	1	1	Запрещённая комбинация
X	X	0	last Q	last QN	Режим хранения информации

На рис. 8 приведены временные диаграммы, иллюстрирующие поведение этой схемы при типичном наборе входных воздействий. Если оба сигнала S и R равны 1 в момент, когда сигнал C переходит из 1 в 0, то схема ведет себя подобно SR-защелке при одновременном переходе сигналов S и R на неактивный уровень: следующее состояние непредсказуемо, и выходная цепь может стать метастабильной.

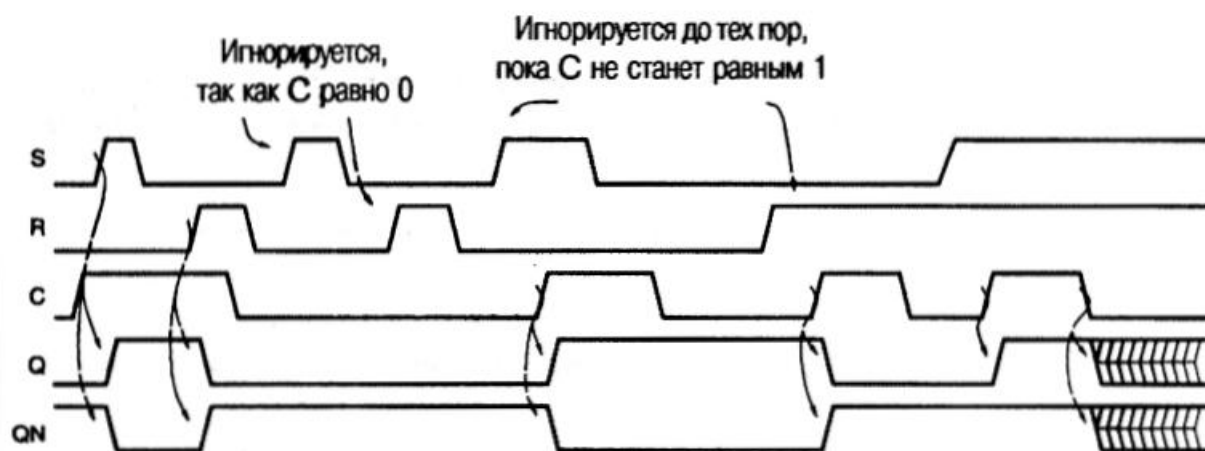


Рис. 8. Работа SR-защелки с входом разрешения в типичных условиях.

Условное графическое обозначение SR-защелки с входом разрешения приведено на рис. 9.

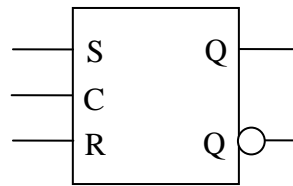


Рис. 9. Условное графическое обозначение SR-защелки с входом разрешения.

4. D-защелка.

D-защелка (D latch) используется для того, чтобы просто запомнить биты информации, когда каждый бит поступает по отдельной сигнальной линии.

D-защелка показана на рис. 10. Ее схема состоит из SR-защелки с входом разрешения и дополнительного входного сигнала D (data, данные). При этом устраняется присущая SR-защелке неприятность, связанная с одновременной подачей входных сигналов S и R активного уровня.

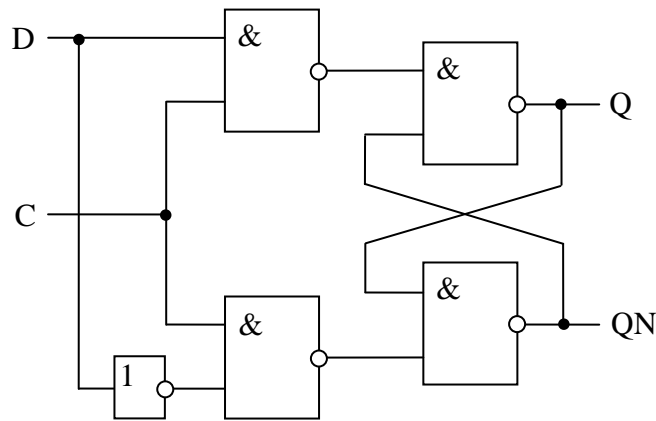


Рис. 10. D-защелка: принципиальная схема на вентилях «2И-НЕ».

Таблица 4 – Таблица, описывающая работу схемы («last» – последнее значение).

C	D	Q	QN	Пояснения
1	0	0	1	Режим установки нуля
1	1	1	0	Режим установки единицы
0	X	last Q	last QN	Режим хранения информации

Пример функционального поведения D-защелки приведен на рис. 11. Когда подан входной сигнал C, выходной сигнал Q повторяет значения входного сигнала D. В этом случае защелка «прозрачна», и путь от входа до выхода Q «открыт». Когда сигнал C снимается, защелка запирается; выходной сигнал Q сохраняет свое последнее значение и больше не реагирует на изменения входного сигнала D, пока C остается на неактивном уровне.

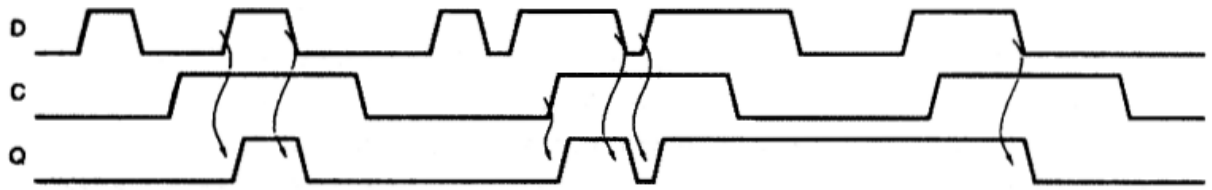


Рис. 11. Функциональное поведение D-защелки при различных входных сигналах.

Условное графическое обозначение D-защелки представлено на рис. 12.

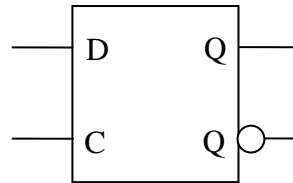


Рис. 12. Условное графическое обозначение D-защелки.

5. D-триггер, переключающийся по фронту.

Показанное на рис. 13 объединение пары D-защелок, называемое D-триггером, переключающимся по положительному фронту, представляет собой схему, в которой опрос ее входа D и изменение ее выходных сигналов Q и QN происходит только в моменты времени, задаваемые нарастающим фронтом управляющего сигнала CLK.

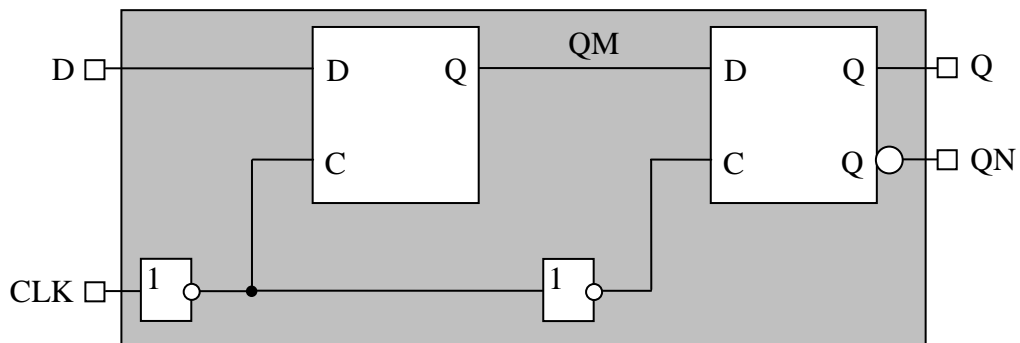
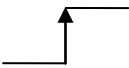
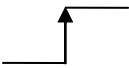


Рис. 13. D-триггер, переключающийся по фронту: принципиальная схема на D-защелках.

Первая защелка называется ведущей (master); при значении CLK, равном 0, она открыта и ее выходной сигнал повторяет входной сигнал. Когда сигнал CLK становится равным 1, ведущая защелка запирается и ее выходной сигнал переносится во вторую защелку, называемую ведомой (slave). Ведомая защелка открыта в течение всего времени, пока значение CLK остается равным 1, но изменение сигнала на ее выходе возможно только в самом начале этого интервала, так как ведущая защелка заперта, и сигнал на ее выходе остается неизменным на протяжении всего этого отрезка.

Таблица 5 – Таблица, описывающая работу схемы («last» – последнее значение).

D	CLK	Q	QN	Пояснения
0		0	1	Режим установки нуля
1		1	0	Режим установки единицы
X	0	last Q	last QN	Режим хранения информации
X	1	last Q	last QN	Режим хранения информации

Примеры функционального поведения триггера при нескольких переходах во входных сигналах приведены на рис. 14. Фигурирующий на этих временных диаграммах сигнал QM – это выходной сигнал ведущей защелки. Сигнал QM изменяется только при CLK, равном 0. Когда CLK становится равным 1, текущее значение QM переносится на выход Q, тогда как изменение сигнала QM невозможно до тех пор, пока CLK снова не станет равным 0.

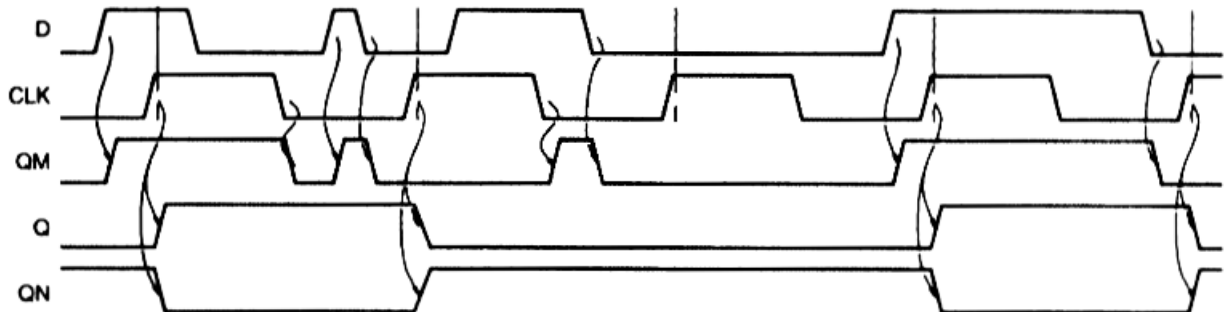


Рис. 14. Функциональное поведение D-триггера, переключающегося по фронту.

Условное графическое обозначение D-триггера, переключающегося по положительному фронту, представлено на рис. 15.

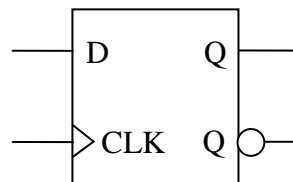


Рис. 15. Условное графическое обозначение D-триггера, переключающегося по положительному фронту.

6. Переключающийся по фронту D-триггер с входом разрешения.

Обычно бывает желательным, чтобы выполняемая D-триггером функция состояла в удержании последнего запомненного значения, а не в загрузке нового значения на каждом такте управляющего сигнала. Это реализуется путем добавления входа разрешения (enable input), обозначаемого как EN.

Как показано на рис. 16, с помощью 2-входового мультиплексора выбирается значение, подаваемое на внутренний D-вход триггера. Когда действует разрешающее значение сигнала EN, выбирается сигнал, поступающий на внешний D-вход; когда сигнал EN переходит на неактивный уровень, через мультиплексор проходит текущее значение сигнала на выходе триггера.

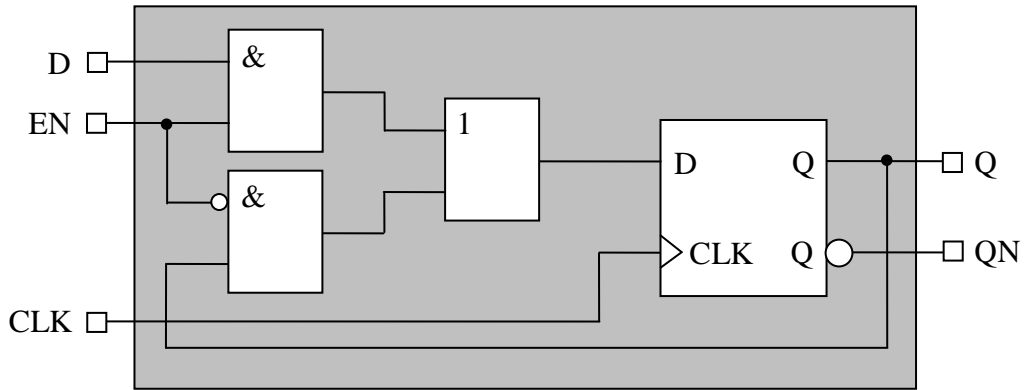


Рис. 16. Переключающийся по фронту D-триггер с входом разрешения.

В результате таблица, описывающая работу схемы, имеет вид:

Таблица 6 – Таблица, описывающая работу схемы («last» – последнее значение).

D	EN	CLK	Q	QN	Пояснения
0	1		0	1	Режим установки нуля
1	1		1	0	Режим установки единицы
X	0		last Q	last QN	Режим хранения информации
X	X	0	last Q	last QN	Режим хранения информации
X	X	1	last Q	last QN	Режим хранения информации

Условное графическое обозначение переключающегося по фронту D-триггера с входом разрешения представлено на рис. 17.

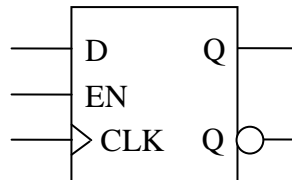


Рис. 17. Условное графическое обозначение переключающегося по фронту D-триггера с входом разрешения.

7. JK-триггер, переключающийся по фронту.

Проблема с тем, что делать, когда одновременно действуют сигналы S и R, решается в JK-триггере, переключающемся по фронту (edge-triggered J-K flip-flop). Как показано на рис. 18, такой триггер имеет информационные входы J и K, которые по своему влиянию аналогичны входам S и R тактируемой SR-защелки.

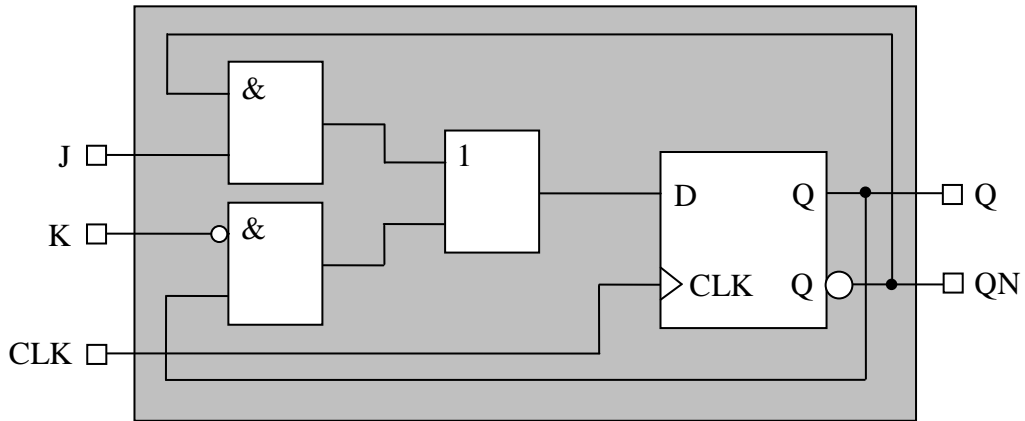


Рис. 18. JK-триггер, переключающийся по фронту.

Внутри него используется переключающийся по фронту D-триггер, благодаря чему входы JK-триггера опрашиваются на нарастающем фронте тактового сигнала.

Таблица 7 – Таблица, описывающая работу схемы («last» – последнее значение).

J	K	CLK	Q	QN	Пояснения
X	X	0	last Q	last QN	Режим хранения информации
X	X	1	last Q	last QN	Режим хранения информации
0	0		last Q	last QN	Режим хранения информации
0	1		0	1	Режим установки нуля
1	0		1	0	Режим установки единицы
1	1		last QN	last Q	Режим инверсии состояния

Временные диаграммы на рис. 19 иллюстрируют работу JK-триггера, переключающегося по фронту, при типичном наборе входных сигналов.

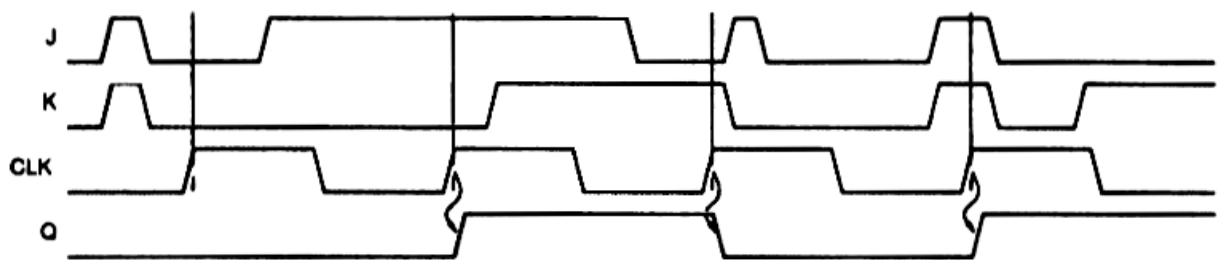


Рис. 19. Функциональное поведение JK-триггера, переключающегося по положительному фронту.

При одновременном действии сигналов на входах J и K триггер переходит в состояние, противоположное тому, в котором он находится.

Условное графическое обозначение переключающегося по фронту JK-триггера представлено на рис. 20.

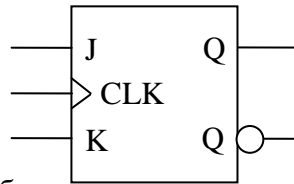


Рис. 20. Условное графическое обозначение переключающегося по фронту JK-триггера.

8. T-триггер с входом разрешения.

Как показано на рис. 21, T-триггер с входом разрешения (T flip-flop with enable; T – toggle, переключатель) изменяет свое состояние на переключающем фронте тактового сигнала только в том случае, когда на вход EN подан разрешающий сигнал.

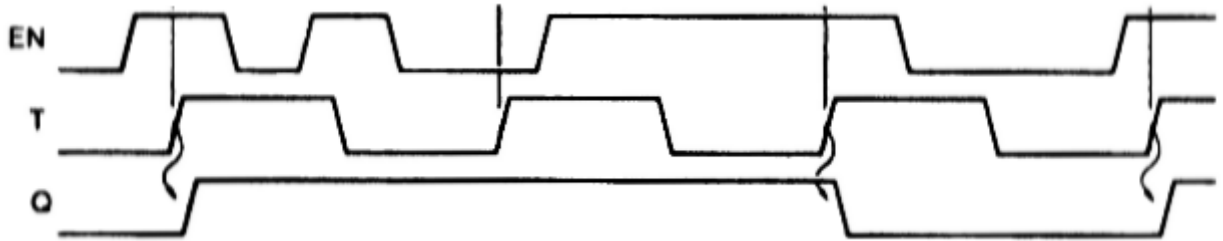


Рис. 21. Функциональное поведение переключающегося по положительному фронту T-триггера с входом разрешения.

На рис. 22 показано, как получить T-триггер из JK-триггера.

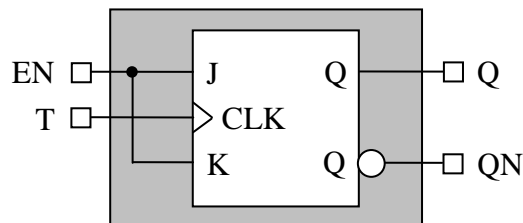


Рис. 22. Возможная схема T-триггера с входом разрешения на основе JK-триггера.

Если на вход EN всегда подан разрешающий сигнал, то частота переключений сигнала на выходе триггера Q равна точно половине частоты переключений входного сигнала T, как показано на рис. 23. Поэтому T-триггеры чаще всего используются в счетчиках и делителях частоты.



Рис. 23. Функциональное поведение переключающегося по фронту T-триггера.

Условное графическое обозначение переключающегося по положительному фронту T-триггера с входом разрешения представлено на рис. 24.

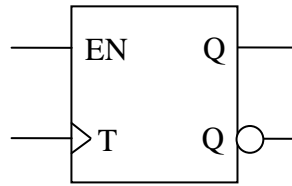


Рис. 24. Переключающийся по фронту Т-триггер с входом разрешения.

Регистром (register) называют совокупность из двух или большего числа D-триггеров с общим входом тактового сигнала. Регистры часто применяют для запоминания набора связанных между собой битов, например, для хранения байта данных.

Занесение информации в регистр называется операцией записи. Операция выдачи информации из регистра – считывание. Перед записью информации в регистр, его необходимо обнулить.

Классификация регистров:

1. **Параллельные** (регистры хранения) – информация вводится и выводится одновременно по всем разрядам.

Параллельные регистры осуществляют прием и выдачу информации в параллельном коде, а это значит, что для передачи каждого разряда используется отдельная линия.

Для записи информации в регистр на его входных выводах (D0-D3) нужно установить логические уровни, после чего на вход синхронизации (CLK) подать разрешающий импульс — логическую единицу. После этого на выходах Q0-Q3 появится записанное слово. Регистры запоминают входные сигналы только в момент времени, определяемый сигналом синхронизации.

Схема параллельного 4-хразрядного регистра, полученная на основе переключающихся по фронту D-триггеров с входом разрешения, представлена на рис. 25.

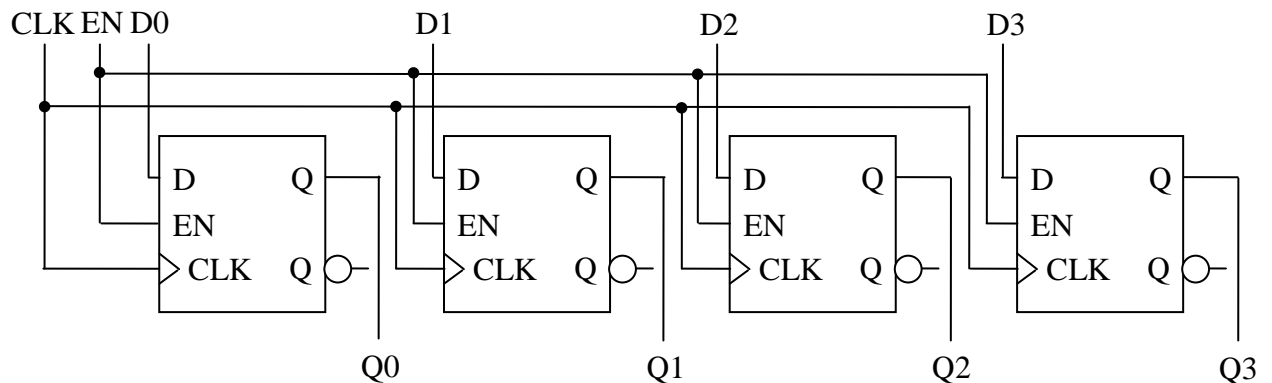


Рис. 25. Схема параллельного 4-хразрядного регистра.

2. **Последовательные** (регистры сдвига) – информация бит за битом «проталкивается» через регистр и выводится также последовательно.

Применение последовательного кода связано с необходимостью передачи большого количества двоичной информации по ограниченному количеству соединительных линий. При параллельной передаче разрядов требуется большое количество соединительных проводников. Если двоичные разряды последовательно бит за битом передавать по одному проводнику, то можно значительно сократить размеры соединительных линий на плате и размеры корпусов микросхем.

Схема последовательного 4-хразрядного регистра, собранная на основе переключающихся по фронту D-триггеров с входом разрешения, представлена на рис. 26.

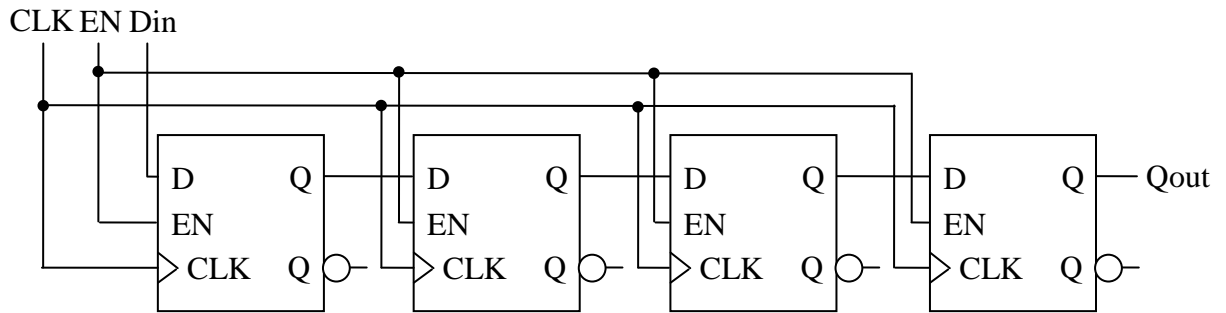


Рис. 26. Схема последовательного 4-хразрядного регистра.

3. Комбинированные – последовательный ввод и параллельный вывод (и наоборот).

Последовательный регистр (регистр сдвига) обычно служит для преобразования последовательного кода в параллельный и наоборот.

Схема последовательно-параллельного 4-хразрядного регистра, собранная на основе переключающихся по фронту D-триггеров с входом разрешения, представлена на рис. 27.

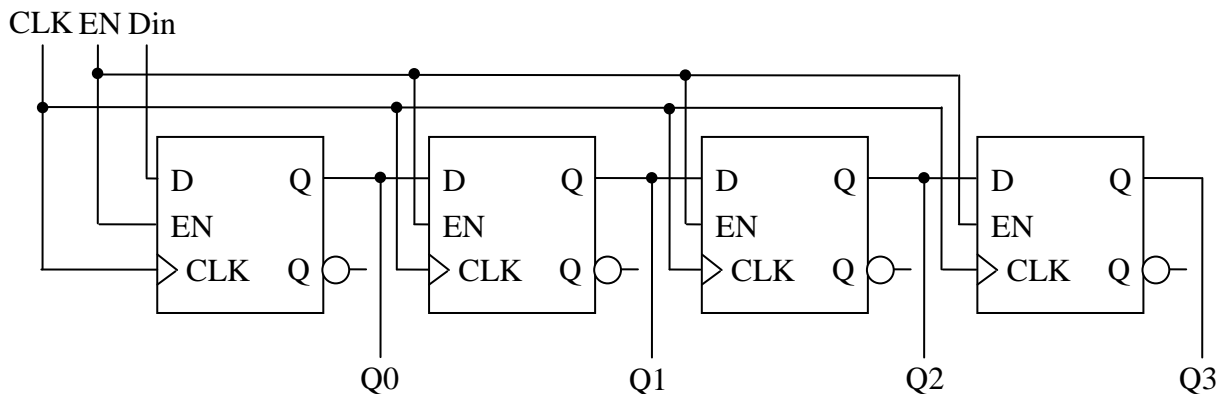


Рис. 27. Схема последовательно-параллельного 4-хразрядного регистра.

После поступления четырёх синхроимпульсов регистр оказывается полностью заполненным разрядами числа, вводимого через последовательный ввод «Din». В течение следующих четырёх синхроимпульсов производится последовательный поразрядный вывод из регистра записанного числа, после чего регистр оказывается полностью очищенным (регистр окажется полностью очищенным только при условии подачи на его вход уровня лог. 0 в режиме вывода записанного числа).

Задание

С помощью САПР Quartus II открыть проекты для исследования защелок, триггеров, регистров, скомпилировать, загрузить конфигурационную информацию в ПЛИС и проверить работоспособность каждой из схем на практике.

Порядок выполнения

1. Исследовать принцип работы SR-защелки.

Откройте проект «sr_latch.qpf», находящийся в каталоге «/home/steel1004/Lic_Labs/Lab_4/sr_latch», где «steel1004» - имя пользователя.

Откройте графический файл «sr_latch.bdf» со схемой SR-защелки, изображенной на рис. 28.

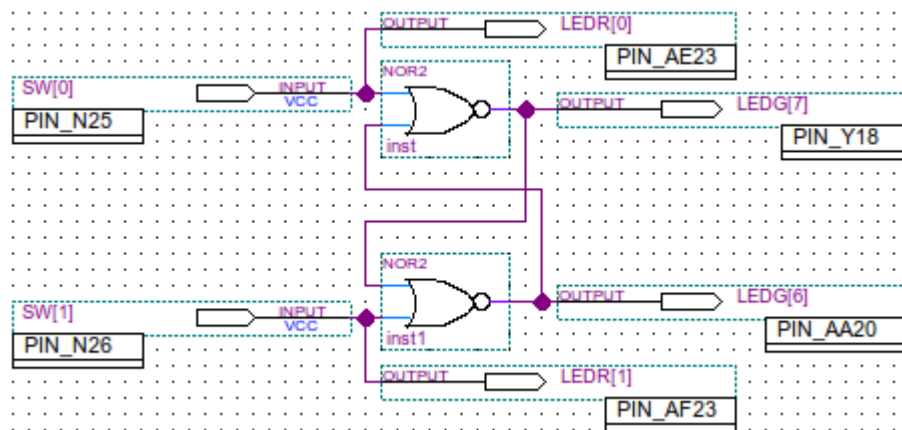


Рис. 28. SR-защелка: принципиальная схема на вентилях «2ИЛИ-НЕ».

Здесь SW[0] соответствует входу R на рис. 1, приведенном в кратких теоретических сведениях, SW[1] - S, LEDG[6] - QN, LEDG[7] - Q.

Подавая все возможные комбинации логических уровней на входы SW[0], SW[1] с помощью переключателей SW0, SW1 и наблюдая за состояниями светодиодных индикаторов LEDG[6], LEDG[7], заполните таблицу 8.

Таблица 8 – Таблица, описывающая работу схемы («last» – последнее значение).

S	R	Q	QN
0	0		
0	1		
1	0		
1	1		

2. Исследовать принцип работы \overline{SR} -защелки.

Откройте проект «srn_latch.qpf», находящийся в каталоге «/home/steel1004/Lic_Labs/Lab_4/srn_latch», где «steel1004» - имя пользователя.

Откройте графический файл «srn_latch.bdf» со схемой \overline{SR} -защелки, изображенной на рис. 29.

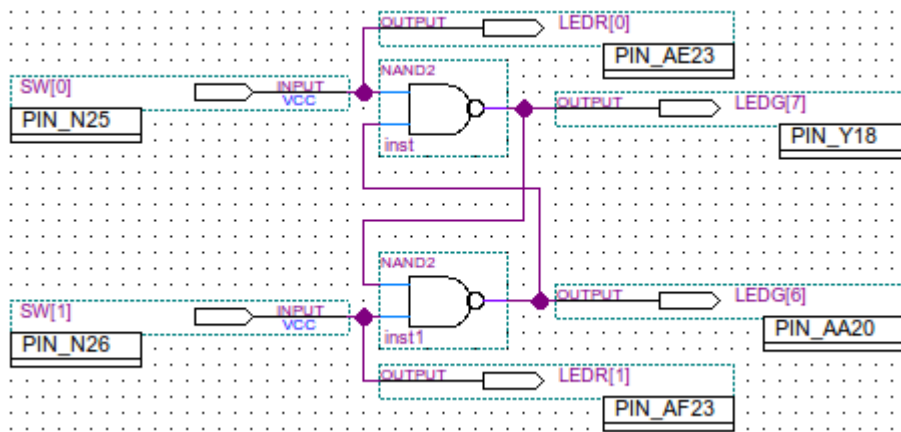


Рис. 29. \overline{SR} -защелка: схема на вентилях «2И-НЕ».

Здесь SW[0] соответствует входу \overline{S} на рис. 5, приведенном в кратких теоретических сведениях, SW[1] - \overline{R} , LEDG[6] - QN, LEDG[7] - Q.

Подавая все возможные комбинации логических уровней на входы SW[0], SW[1] с помощью переключателей SW0, SW1 и наблюдая за состояниями светодиодных индикаторов LEDG[6], LEDG[7], заполните таблицу 9.

Таблица 9 – Таблица, описывающая работу схемы («last» – последнее значение).

\overline{S}	\overline{R}	Q	QN
0	0		
0	1		
1	0		
1	1		

3. Исследовать принцип работы SR-защелки с входом разрешения.

Откройте проект «src_latch.qpf», находящийся в каталоге «/home/steel1004/Lic_Labs/Lab_4/src_latch», где «steel1004» - имя пользователя.

Откройте графический файл «src_latch.bdf» со схемой SR-защелки с входом разрешения, изображенной на рис. 30.

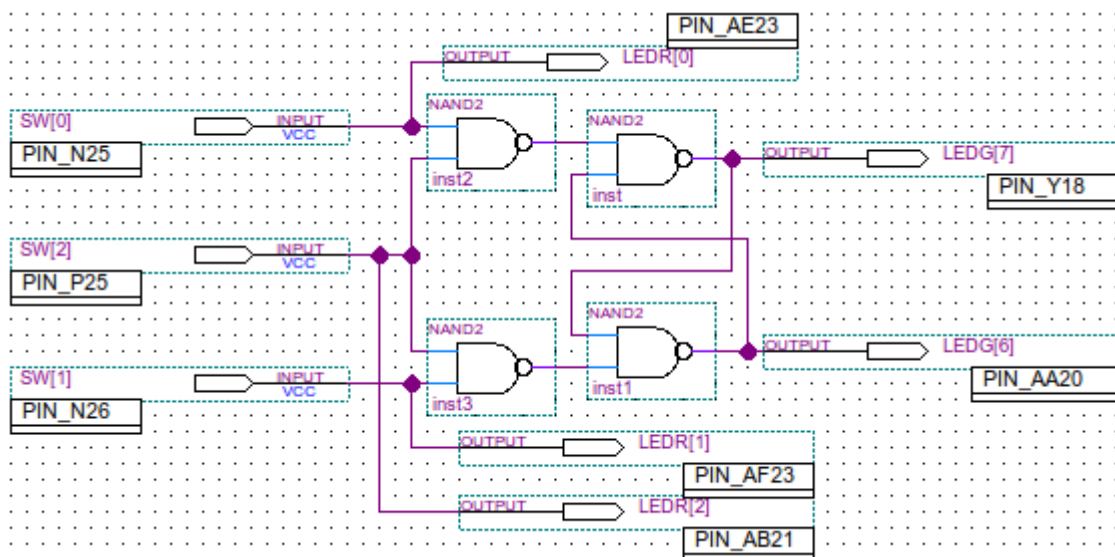


Рис. 30. SR-защелка с входом разрешения: схема на вентилях «2И-НЕ».

Здесь SW[0] соответствует входу S на рис. 7, приведенном в кратких теоретических сведениях, SW[1] - R, SW[2] - C, LEDG[6] - QN, LEDG[7] - Q.

Подавая все возможные комбинации логических уровней на входы SW[0], SW[1], SW[2] с помощью переключателей SW0, SW1, SW2 и наблюдая за состояниями светодиодных индикаторов LEDG[6], LEDG[7], заполните таблицу 10.

Таблица 10 – Таблица, описывающая работу схемы («last» – последнее значение).

S	R	C	Q	QN
0	0	1		
0	1	1		
1	0	1		
1	1	1		
X	X	0		

4. Исследовать принцип работы D-защелки.

Откройте проект «d_latch.qpf», находящийся в каталоге «/home/steel1004/Lic_Labs/Lab_4/d_latch», где «steel1004» - имя пользователя.

Откройте графический файл «d_latch.bdf» со схемой D-защелки, изображенной на рис. 31.

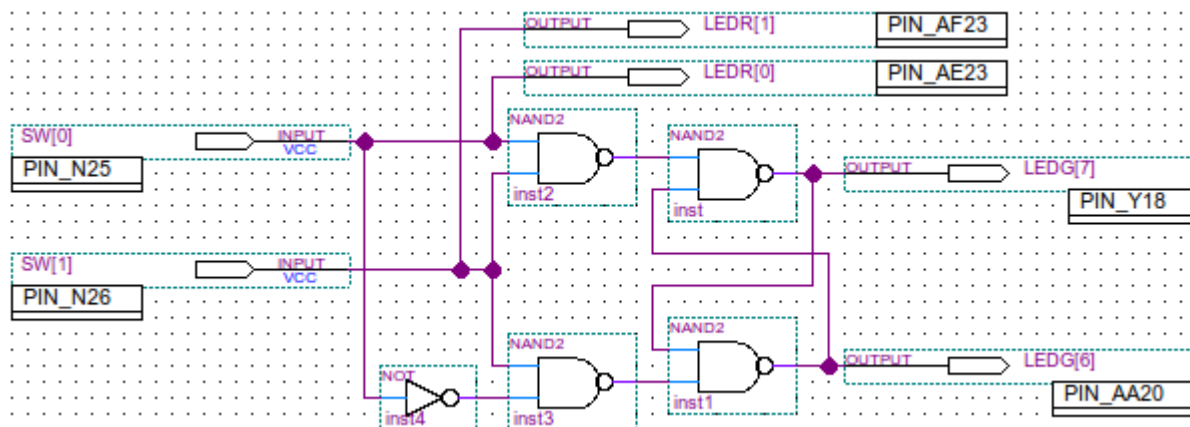


Рис. 31. D-защелка: принципиальная схема на вентилях «2И-НЕ».

Здесь SW[0] соответствует входу D на рис. 10, приведенном в кратких теоретических сведениях, SW[1] - C, LEDG[6] - QN, LEDG[7] - Q.

Подавая все возможные комбинации логических уровней на входы SW[0], SW[1] с помощью переключателей SW0, SW1 и наблюдая за состояниями светодиодных индикаторов LEDG[6], LEDG[7], заполните таблицу 11.

Таблица 11 – Таблица, описывающая работу схемы («last» – последнее значение).

C	D	Q	QN
1	0		
1	1		
0	X		

5. Исследовать принцип работы D-триггера, переключающегося по фронту.

Откройте проект «d_trigger.qpf», находящийся в каталоге «/home/steel1004/Lic_Labs/Lab_4/d_trigger», где «steel1004» - имя пользователя.

Откройте графический файл «d_trigger.bdf» со схемой переключающегося по фронту D-триггера, изображенного на рис. 32.

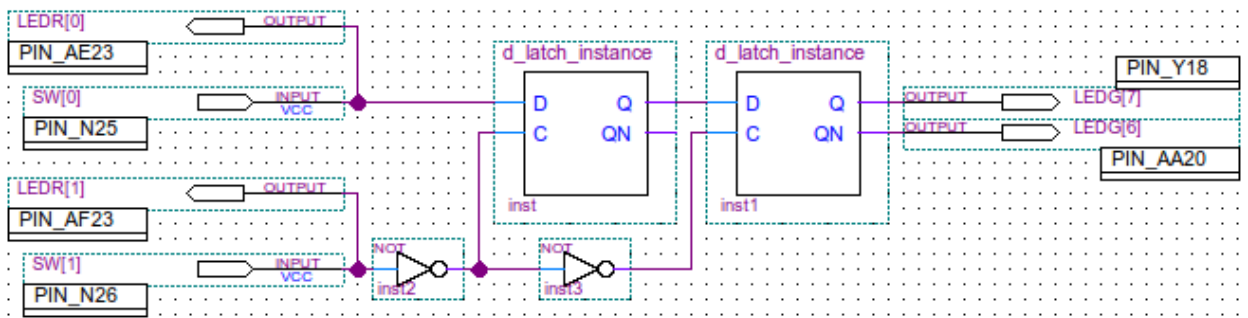


Рис. 32. D-триггер, переключающийся по фронту: схема на D-зашелках.

Здесь SW[0] соответствует входу D на рис. 13, приведенном в кратких теоретических сведениях, SW[1] - CLK, LEDG[6] - QN, LEDG[7] - Q.

Подавая все возможные комбинации логических уровней на входы SW[0], SW[1] с помощью переключателей SW0, SW1 и наблюдая за состояниями светодиодных индикаторов LEDG[6], LEDG[7], заполните таблицу 12.

Таблица 12 – Таблица, описывающая работу схемы («last» – последнее значение).

D	CLK	Q	QN
0			
1			
X	0		
X	1		

6. Исследовать принцип работы переключающегося по фронту D-триггера с входом разрешения.

Откройте проект «den_trigger.qpf», находящийся в каталоге «/home/steel1004/Lic_Labs/Lab_4/den_trigger», где «steel1004» - имя пользователя.

Откройте графический файл «den_trigger.bdf» со схемой переключающегося по фронту D-триггера с входом разрешения, изображенного на рис. 33.

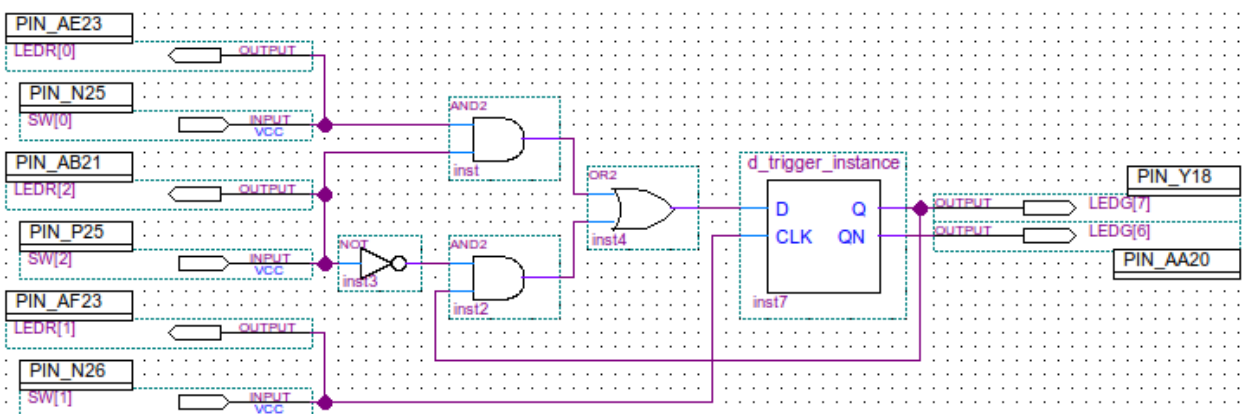


Рис. 33. Переключающийся по фронту D-триггер с входом разрешения.

Здесь SW[0] соответствует входу D на рис. 16, приведенном в кратких теоретических сведениях, SW[1] - CLK, SW[2] - EN, LEDG[6] - QN, LEDG[7] - Q.

Подавая все возможные комбинации логических уровней на входы SW[0], SW[1], SW[2] с помощью переключателей SW0, SW1, SW2 и наблюдая за состояниями светодиодных индикаторов LEDG[6], LEDG[7], заполните таблицу 13.

Таблица 13 – Таблица, описывающая работу схемы («last» – последнее значение).

D	EN	CLK	Q	QN
0	1			
1	1			
X	0			
X	X	0		
X	X	1		

7. Исследовать принцип работы JK-триггера, переключающегося по фронту.

Откройте проект «jk_trigger.qpf», находящийся в каталоге «/home/steel1004/Lic_Labs/Lab_4/jk_trigger», где «steel1004» - имя пользователя.

Откройте графический файл «jk_trigger.bdf» со схемой переключающегося по фронту JK-триггера, изображенного на рис. 34.

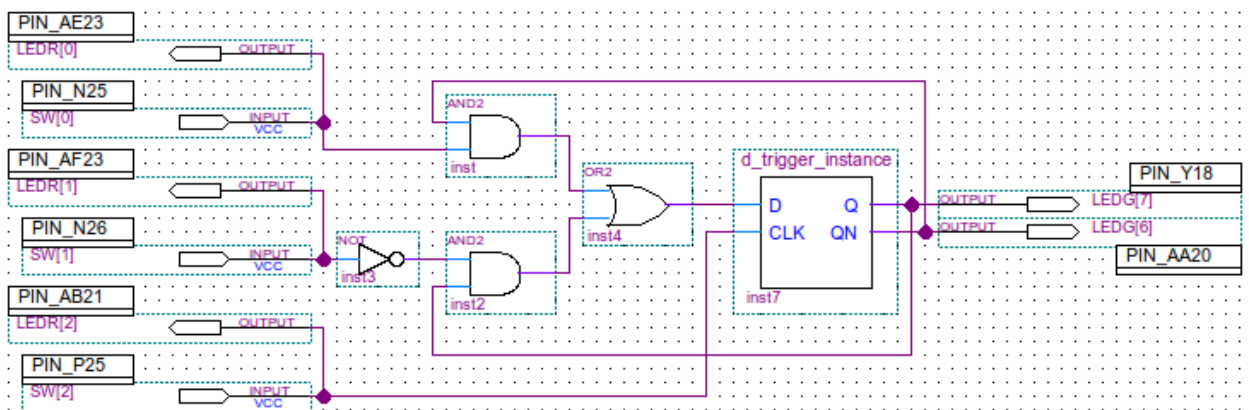
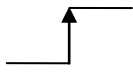

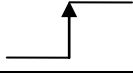
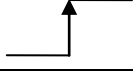


Рис. 34. JK-триггер, переключающийся по фронту.

Здесь SW[0] соответствует входу J на рис. 18, приведенном в кратких теоретических сведениях, SW[1] - K, SW[2] - CLK, LEDG[6] - QN, LEDG[7] - Q.

Подавая все возможные комбинации логических уровней на входы SW[0], SW[1], SW[2] с помощью переключателей SW0, SW1, SW2 и наблюдая за состояниями светодиодных индикаторов LEDG[6], LEDG[7], заполните таблицу 14.

Таблица 14 – Таблица, описывающая работу схемы («last» – последнее значение).

J	K	CLK	Q	QN
X	X	0		
X	X	1		
0	0			
0	1			
1	0			
1	1			

8. Исследовать принцип работы Т-триггера с входом разрешения.

Откройте проект «t_trigger.qpf», находящийся в каталоге «/home/steel1004/Lic_Labs/Lab_4/t_trigger», где «steel1004» - имя пользователя.

Откройте графический файл «t_trigger.bdf» со схемой переключающегося по фронту Т-триггера с входом разрешения, изображенного на рис. 35.

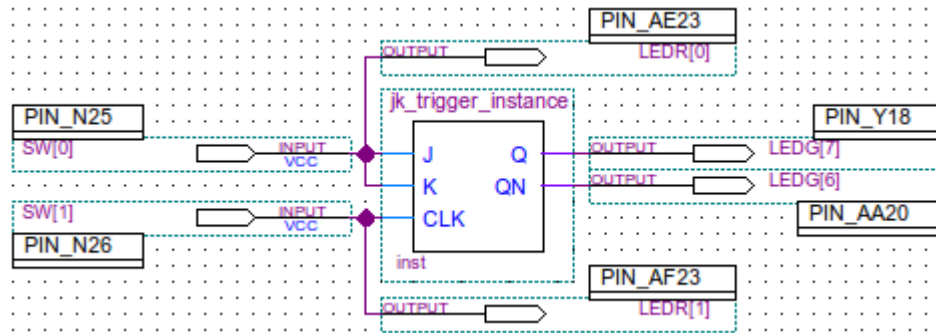
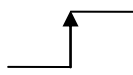
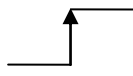
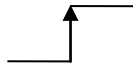
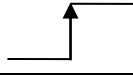


Рис. 35. Переключающийся по фронту Т-триггер с входом разрешения.

Здесь SW[0] соответствует входу EN на рис. 22, приведенном в кратких теоретических сведениях, SW[1] - Т, LEDG[6] - QN, LEDG[7] - Q.

Подавая все возможные комбинации логических уровней на входы SW[0], SW[1] с помощью переключателей SW0, SW1 и наблюдая за состояниями светодиодных индикаторов LEDG[6], LEDG[7], заполните таблицу 15.

Таблица 15 – Таблица, описывающая работу схемы («last» – последнее значение).

EN	T	Q	QN
0	X		
1			
1			
1			
1			

9. Исследовать принцип работы параллельного 4-хразрядного регистра.

Откройте проект «parallel_reg.qpf», находящийся в каталоге «/home/steel1004/Lic_Labs/Lab_4/parallel_reg», где «steel1004» - имя пользователя.

Откройте графический файл «parallel_reg.bdf» со схемой параллельного 4-хразрядного регистра, изображенного на рис. 36.

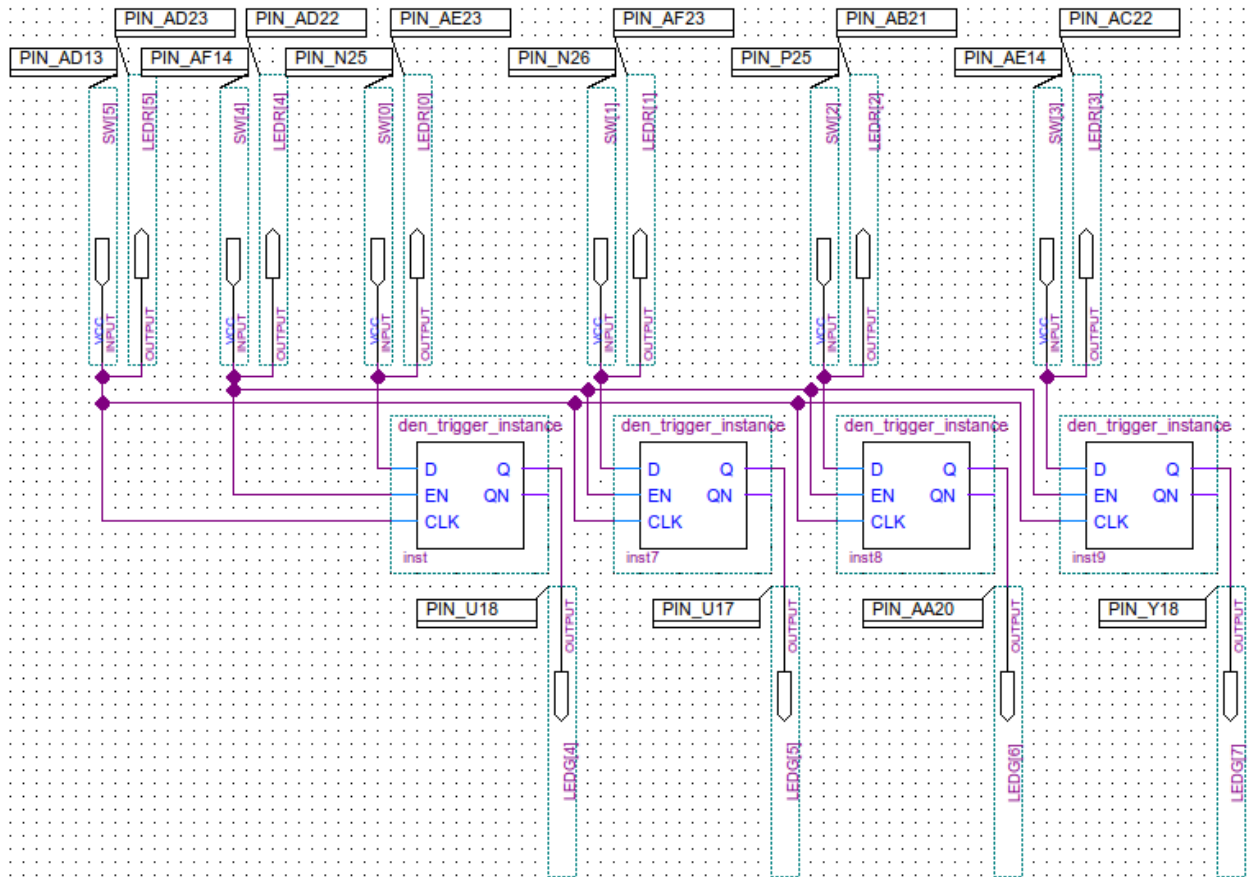


Рис. 36. Схема параллельного 4-хразрядного регистра.

Здесь SW[0] соответствует входу D0 на рис. 25, приведенном в кратких теоретических сведениях, SW[1] - D1, SW[2] - D2, SW[3] - D3, SW[4] - EN, SW[5] - CLK, LEDG[4] - Q0, LEDG[5] - Q1, LEDG[6] - Q2, LEDG[7] - Q3.

Запишите целые десятичные числа от 0 до 15 в двоичной системе счисления в регистр и считайте их. Заполните таблицу 16.

Таблица 16 – Коды, записанные в параллельный регистр.

Записываемое десятичное число	Считанное из регистра двоичное число
0	
1	
2	
⋮	
15	

10. Исследовать принцип работы последовательного 4-хразрядного регистра.

Откройте проект «serial_reg.qpf», находящийся в каталоге «/home/steel1004/Lic_Labs/Lab_4/serial_reg», где «steel1004» - имя пользователя.

Откройте графический файл «serial_reg.bdf» со схемой последовательного 4-хразрядного регистра, изображенного на рис. 37.

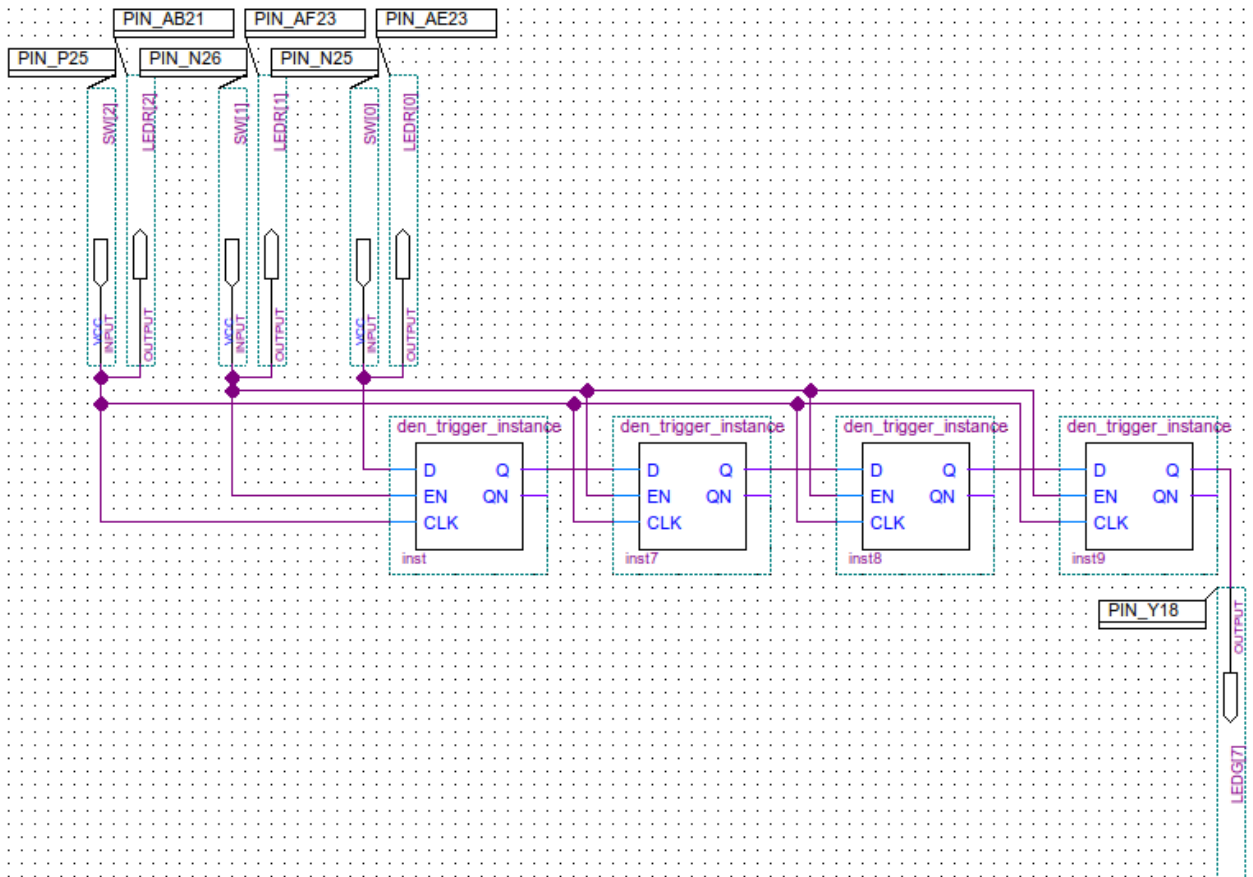


Рис. 37. Схема последовательного 4-хразрядного регистра.

Здесь SW[0] соответствует входу Din на рис. 26, приведенном в кратких теоретических сведениях, SW[1] - EN, SW[2] - CLK, LEDG[7] - Qout.

Т.к. последовательный 4-хразрядный регистр является регистром сдвига, то каждый бит, поступающий на его вход, появляется на выходе только через 4 такта. Такой регистр можно использовать для задержки сигнала на n тактов.

Удостоверьтесь в этом утверждении. Подайте на вход регистра Din лог. 1 и подсчитайте количество тактов, необходимых для того, чтобы эта лог. 1 появилась на выходе регистра Qout.

11. Исследовать принцип работы последовательно-параллельного 4-хразрядного регистра.

Откройте проект «ser_par_reg.qpf», находящийся в каталоге «/home/steel1004/Lic_Labs/Lab_4/ser_par_reg», где «steel1004» - имя пользователя.

Откройте графический файл «ser_par_reg.bdf» со схемой последовательно-параллельного 4-хразрядного регистра, изображенного на рис. 38.

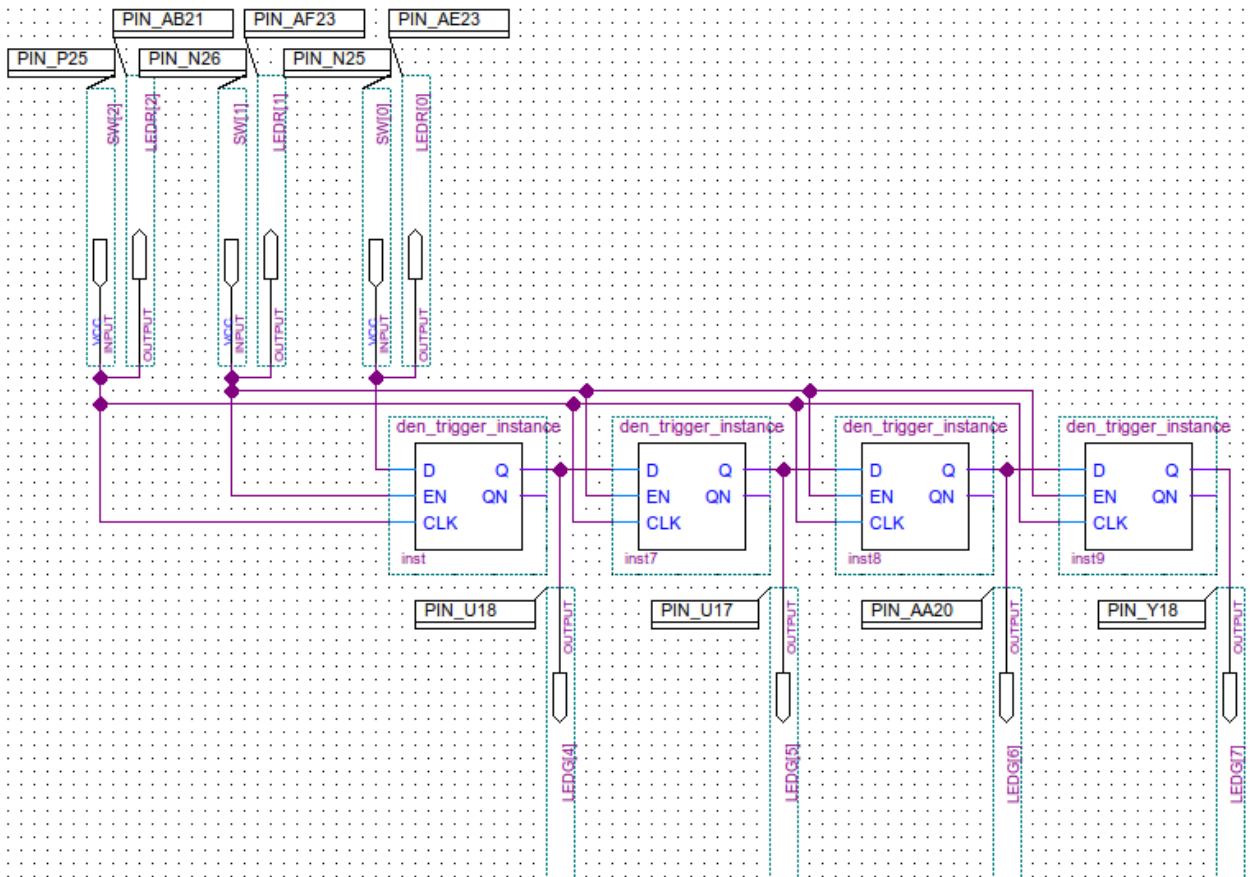


Рис. 38. Схема последовательно-параллельного 4-хразрядного регистра.

Здесь SW[0] соответствует входу Din на рис. 27, приведенном в кратких теоретических сведениях, SW[1] - EN, SW[2] - CLK, LEDG[4] - Q0, LEDG[5] - Q1, LEDG[6] - Q2, LEDG[7] - Q3.

Последовательно-параллельный 4-хразрядный регистр, как и последовательный, является регистром сдвига. Таким регистром можно воспользоваться для выполнения преобразования последовательного кода в параллельный.

Запишите целые десятичные числа от 0 до 15 в двоичной системе счисления в регистр и считайте их. Заполните таблицу 17.

Таблица 17 – Коды, записанные в последовательно-параллельный регистр.

Записываемое десятичное число	Считанное из регистра двоичное число
0	
1	
2	
⋮	
15	

Контрольные вопросы

1. Начертить схему SR-защелки на логических элементах "ИЛИ-НЕ" и пояснить принцип ее работы.
2. Почему JK-триггер называется универсальным?
3. Пояснить принцип работы D-триггера.
4. Какой характерной особенностью обладает периодическая последовательность импульсов на входе T-триггера?
5. В чем принципиальное отличие защелок от триггеров?
6. Каким преимуществом обладает двухступенчатый триггер?
7. Назначение регистров.
8. По каким признакам классифицируются регистры?
9. Чем определяется разрядность регистров?
10. Назначение параллельного регистра.
11. Объяснить принцип работы последовательного регистра.
12. Объяснить принцип работы параллельного регистра.
13. Объяснить принцип работы последовательно-параллельного регистра.

Список используемой литературы

1. Altera DE2 Board. Getting Started Guide. Document Version 1.2 OCT. 02, 2005. – 85 с.
2. Altera Quartus II Introduction Using Schematic Design, Altera Corporation, 2008. – 229 с.
3. Michael D. Ciletti. Advanced digital design with the Verilog HDL, 2005. – 1014 с.
4. Угрюмов Е. Цифровая схемотехника. Учебное пособие. СПб ВHV, 2001. – 528 с.
5. Уэйкерли Дк. Ф. Проектирование цифровых устройств М. Постмаркет, 2002. – 544 с.
6. Микушин А. В. Занимательно о микроконтроллерах. – СПб.: БХВ-Петербург, 2006. – 432 с.
7. Комолов Д. А., Мьяльк Р.А., Зобенко А. А., Филиппов А. С. Системы автоматизированного проектирования Altera MAX+plus II и Quartus II. Краткое описание и самоучитель. – М: ИП РадиоСофт, 2002. – 352 с.
8. www.labfor.ru.

Оглавление:	
ЛАБОРАТОРНАЯ РАБОТА №4 Исследование защелок, триггеров и регистров.....	3
Цель работы	3
Краткие теоретические сведения	3
Задание.....	15
Порядок выполнения.....	15
Контрольные вопросы.....	24
Список используемой литературы.....	25
Список рисунков:	
Рис. 1. SR-защелка: принципиальная схема на вентилях «2ИЛИ-НЕ».....	3
Рис. 2. Типичная работа SR-защелки: «нормальные» входные сигналы.....	4
Рис. 3. Сигналы S и R имеют активный уровень одновременно.....	4
Рис. 4. Условное графическое обозначение SR-защелки.....	5
Рис. 5. \overline{SR} -защелка: принципиальная схема на вентилях «2И-НЕ».....	5
Рис. 6. Условное графическое обозначение \overline{SR} -защелки.....	5
Рис. 7. SR-защелка с входом разрешения: принципиальная схема на вентилях «2И-НЕ».....	6
Рис. 8. Работа SR-защелки с входом разрешения в типичных условиях.....	6
Рис. 9. Условное графическое обозначение SR-защелки с входом разрешения.....	7
Рис. 10. D-защелка: принципиальная схема на вентилях «2И-НЕ».....	7
Рис. 11. Функциональное поведение D-защелки при различных входных сигналах.....	8
Рис. 12. Условное графическое обозначение D-защелки.....	8
Рис. 13. D-триггер, переключающийся по фронту: принципиальная схема на D-защелках.....	8
Рис. 14. Функциональное поведение D-триггера, переключающегося по фронту.....	9
Рис. 15. Условное графическое обозначение D-триггера, переключающегося по положительному фронту.....	9
Рис. 16. Переключающийся по фронту D-триггер с входом разрешения.....	10
Рис. 17. Условное графическое обозначение переключающегося по фронту D-триггера с входом разрешения.....	10
Рис. 18. JK-триггер, переключающийся по фронту.....	11
Рис. 19. Функциональное поведение JK-триггера, переключающегося по положительному фронту.....	11
Рис. 20. Условное графическое обозначение переключающегося по фронту JK-триггера.....	12
Рис. 21. Функциональное поведение переключающегося по положительному фронту T-триггера с входом разрешения.....	12
Рис. 22. Возможная схема T-триггера с входом разрешения на основе JK-триггера.....	12
Рис. 23. Функциональное поведение переключающегося по фронту T-триггера.....	12
Рис. 24. Переключающийся по фронту T-триггер с входом разрешения.....	13
Рис. 25. Схема параллельного 4-хразрядного регистра.....	13
Рис. 26. Схема последовательного 4-хразрядного регистра.....	14
Рис. 27. Схема последовательно-параллельного 4-хразрядного регистра.....	14
Рис. 28. SR-защелка: принципиальная схема на вентилях «2ИЛИ-НЕ».....	15
Рис. 29. \overline{SR} -защелка: схема на вентилях «2И-НЕ».....	16
Рис. 30. SR-защелка с входом разрешения: схема на вентилях «2И-НЕ».....	16
Рис. 31. D-защелка: принципиальная схема на вентилях «2И-НЕ».....	17
Рис. 32. D-триггер, переключающийся по фронту: схема на D-защелках.....	18
Рис. 33. Переключающийся по фронту D-триггер с входом разрешения.....	18
Рис. 34. JK-триггер, переключающийся по фронту.....	19
Рис. 35. Переключающийся по фронту T-триггер с входом разрешения.....	20
Рис. 36. Схема параллельного 4-хразрядного регистра.....	21
Рис. 37. Схема последовательного 4-хразрядного регистра.....	22
Рис. 38. Схема последовательно-параллельного 4-хразрядного регистра.....	23

